

面向 FPGA 芯片开发的测试方法设计与实现

李 艳¹, 陈陵都², 陈 亮¹, 李 明¹, 张倩莉¹, 于 芳¹

(1 中国科学院 微电子研究所, 北京 100029; 2 北京大学 软件与微电子学院, 江苏 无锡 214125)

摘 要: 针对自主研发的 SOI-CMOS 工艺 FPGA 芯片 VS1000, 开发出一种 FPGA 测试工具(VVK)软件系统. VVK 是借助 Verilog HDL 描述电路和 UCF 约束电路的特性开发并实现的全自动测试方法. 其意义在于解决了设计 FPGA 芯片过程中面临的最冗繁棘手的验证和测试难题, 可以实现 FPGA 全芯片、内部各种逻辑模块的功能结构的验证和测试. 该工具可以用于 FPGA 流片前的行为级、晶体管级的仿真和验证、FPGA 圆片测试、以及 FPGA 芯片抗辐照测试. 验证和测试的结果证明了这套方法的正确性、高效性, 同时这种测试方法也适用于其他架构 FPGA 的测试.

关键词: FPGA 芯片验证与测试; 测试方法; 测试向量; 测试覆盖率

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2014)10-0022-06

Design and Implementation of the Testing Method for FPGA Chip Development

LI Yan¹, CHEN Lin-du², CHEN Liang¹, LI Ming¹, ZHANG Qian-li¹, YU Fang¹

(1 Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China;

2 Institute of Software and Microelectronics, Peking University, Wuxi 214125, China)

Abstract: This paper proposes a toolset software system for FPGA testing toolset (VVK) for VS1000, which is based on SOI-CMOS process. VVK is automatic and implemented by the features of Verilog HDL and UCF. The greatest significance is that it can solve stubborn difficulties of FPGA verification and testing throughout the FPGA development, and it can test FPGA full-chip, each logic block of different work modes. The testing includes FPGA chip testing, FPGA wafer testing, and FPGA chip anti-radiation testing. All the results of verification and testing verify that the methodology is right and of great efficiency, and this methodology can also be used for other FPGAs.

Key words: FPGA chip verification and testing; testing method; testing vector; testing coverage

1 引言

不同于 ASIC (Application Specific Integrated Circuit) 芯片的测试, FPGA 芯片的测试具有更大的复杂度和难度, 其原因主要源于 FPGA 的复杂异质结构、内建的可配置功能等. FPGA 的测试分为两个阶段: 上电编程阶段、正常工作状态. 在正常工作阶段, 需要测试芯片内部各类功能阶段的不同工作模式的正确性, 以及全芯片的正确性. 具体讲, 在 FPGA 流片前后的验证和测试中遇到的问题是: 实现测试 FPGA 每种功能模块的各种功能正确性; 验证

每种功能结构在不同层次、位置和应用中的正确性; 产生测试所必须用的码流.

基于面向制造的测试方法 (Manufacturing-Oriented Test Procedure, MOTP) 和面向应用的测试方法 (Application-Oriented Test Procedure, AOTP)^[1], 同时借鉴文献[2-3], 本文研究了一种 FPGA EDA 测试工具 VVK 的实现方法. VVK 用 perl, C/C++ 语言实现, 并在 windows 和 Linux 系统开发并运行.

为了配合这种方法的实现, 开发一套专用的 FPGA 测试电路的描述和语法, 主要由两类文件组

收稿日期: 2013-12-23; 修回日期: 2014-02-11

基金项目: 武器装备预研基金资助项目(110 * * * 110 * * * 02098)

成: Verilog HDL(HardwareDescription Language)描述文件实现电路功能;user constraint file (UCF)描述实现电路在 FPGA 芯片上的配置结构,两类文件作用在 EDA 工具的不同过程,产生 128 个不同的测试电路码流,满足 FPGA 芯片在流片前后的验证和各种测试的需要。

2 测试工具 VVK 流程和应用平台

2.1 测试工具 VVK 的工作流程和应用平台

图 1 所示为测试工具 VVK 验证和测试流程. 先产生测试电路的描述和产生测试电路的基于 VS1000 FPGA 的码流文件,下载生成测试模型,然后生成具有测试电路功能的 FPGA 芯片模型,最后用 Model-Sim 工具进行仿真,仿真和验证的结构正确性可以通过观察输出的波形图或者通过测试向量验证。

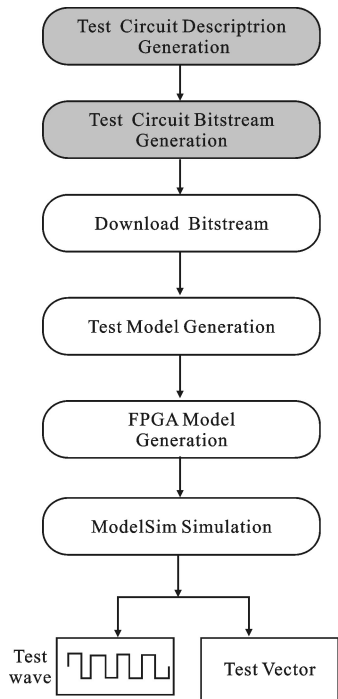


图 1 VVK 测试工具全流程

图 2 介绍的是一个 FPGA 圆片的测试平台^[4],其中可以有多个 FPGA 和多个 PROM 串行组成,具体的组合模式可以通过模式选择确定,计算机充当测试的控制台,控制整个过程. 整个过程分为功能测试和圆片测试,功能测试实现流片前仿真和验证,圆片测试在 J750 测试机完成,测试工具产生的测试向量可以直接输入到 J750,通过 J750 输出的结果可以测试出圆片上裸片的良率,以及静态电流和电压信息。

2.2 SOI-FPGA 芯片 VS1000 结构

VS1000 FPGA 是 14X14 逻辑单元阵列,共 208

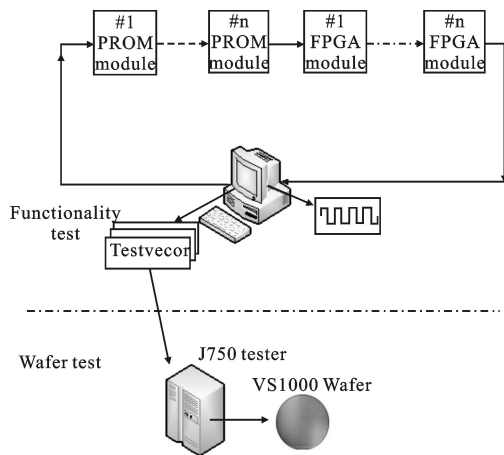


图 2 FPGA 圆片测试平台

输入/输出单元阵列,如图 3 所示主要包括以下五种功能结构的单元,以下分别对五个单元做简单介绍。

①可配置的逻辑块(Configurable Logic Block, LB): LB 是 FPGA 芯片最基本的执行逻辑操作和存贮功能的单元,每个 LB 有两个逻辑单元(logic cell,LC)和内部的连接的局部互连资源,其中每个 LC 包括一个四输入的查找表单元(look-up table, LUT)和一个时序单元(flip flop, FF)。

②可配置的输入输出块(Configurable Input/Output Block,IOB): IOB 是 FPGA 内部信号和外部封装的通信接口,每个 IOB 包括两个用户可配置的输入输出单元(input/output cells ,IOC)和局部互连资源。

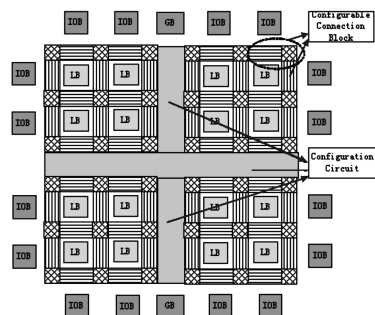
③可配置的连接块(Configurable Connection Block,CB): CB 是整个芯片级的布线资源,包括垂直和水平的连接块,以及用于布线资源连接的开关块。

④可配置的全局块(Configurable Global Block,GB): GB 是全局信号的产生源,其内部包括八个单元,可以接收来自外部和内部的信号作为整个芯片的全局信号. 为了减少全局信号到达各端点的相对延时和节约 CB 资源的使用,本芯片设计了专用的信号资源网络—时钟树。

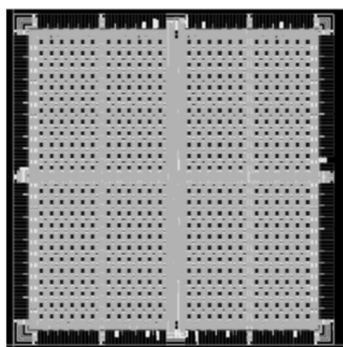
⑤配置电路(Configuration Circuit): 这个电路控制整个芯片的配置和测试的功能。

3 测试工具 VVK 的设计和实现

图 1 中介绍了这套 FPGA 测试工具 VVK 分为六大过程,其中第一、二两个过程是测试工具的核心部分,也是本论文的创新点. VVK 依据芯片的组成和配置信息分布,即逻辑单元块、输入输出块、连接块和全局信号网络结构^[5],EDA 每个过程的功能特点,以达到



(a) 基于 VS1000 芯片结构简图



(b) VS1000 芯片版图

图 3 芯片结构简图与版图

测试和验证的需要. 图 4 中首先由测试电路产生器输出测试电路描述文件(Verilog HDL 格式描述)和测试电路约束文件(UCF),前者描述电路的功能,后者描述电路在 FPGA 实现的方式,用于约束后续处理过程对该测试电路的处理结构. 针对 VS1000,测试电路产生器总共产生 128 个测试电路,涵盖各功能模块、各功能模块不同工作模式下的结构,全芯片的不同应用的配置结构. 如图 4 所示,两个文件分别作用在不同的过程中,映射、布局布线和码流产生.

FPGA 的设计软件中如 synopsis 的 synplify、Xilinx 的 ISE,都采用了 user constraints(用约束)的概念,VVK 的实现是采用这种原理,但在此基础上做了创新. 不同于 synplify 和 ISE,本文提出的 UCF 不仅具有这些工具中的功能,而且还具有细颗粒约束的功能,具体在下面展开论述.

3.1 测试工具 VVK 在映射过程的实现

VVK 映射过程是在 T-Vpack^[6]基础上改进开发的. 在 FPGA 的测试中最重要的单元就是逻辑块 LB,因为 LB 的内部结构一般都非常复杂,工作模式很多,所以实现 FPGA 芯片 LB 的测试,并且达到很高的故障覆盖率是一项困难的工作. 表 1 中 VS1000 芯片中 LB 的工作模式分为两类:LUT 和分布式 RAM. 参考文献[1,7-8],VVK 主要采用映射工具

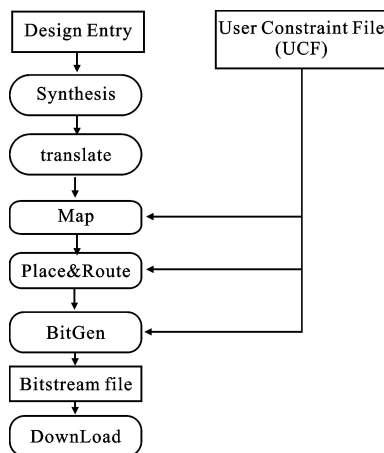


图 4 VVK 核心部分工作流程

来实现对 LB 各种工作模式测试的电路结构设置.

表 1 逻辑模块的工作模式表

LC mode	Modes
LUT	LUT
	Carry-chain
	Carry-head
	Two 3-input logic Gates
DistributedRAM	Single-Port 16x1
	Single-Port (16x1)x2
	Single-Port 32x1
	Dual-Port 16x1

通常的映射过程都是全自动的. 鉴于此,VVK 借助 Verilog HDL 和 UCF 文件对映射过程的影响,从而使得映射工具产生出测试 LB 的各种工作模式和组合的电路结构. 其中 Verilog HDL 中设计了一套描述方法,除了提供电路功能外,还提供映射约束. UCF 文件的内容包括两大方面的内容:pack 的约束,即基本单元组合成逻辑单元的形式和工作模式;cluster 约束,即逻辑单元集装出成逻辑块. 如图 5 所示为测试逻辑单元 LB 模块进位链模式的 UCF 格式,通过该 UCF 的约束,VS1000 的所有逻辑单元被配置成前后蛇形连接的一条进位链如图 6 所示.

图 6 是用 GUI 工具显示的布局布线后的进位链电路结构图,可以看到映射工具实现了既定的逻辑功能和在 VS1000 里的映射结构.

3.2 测试工具 VVK 中的布局布线

3.2.1 VVK 布局布线的思想和工作原理

VVK 的布局布线实现是在 VPR^[6]的基础上改进开发的. VS1000 采用的是岛式的结构,布线资源主要包括通道模块(channel block,CHB)和开关模块(switch block,SB)^[9],因此 VS1000 布线资源的测试主要是测试这两种结构的正确性.

```

# lbrlc2
INST ftest17xorffchainl_smed208_lbrlc2_lut0 lb: x2y1 lc: 0
INST ftest17xorffchainl_smed208_lbrlc2_ff0 lb: x2y1 lc: 0
INST ftest17xorffchainl_smed208_lbrlc2_lut1 lb: x2y1 lc: 1
INST ftest17xorffchainl_smed208_lbrlc2_ff1 lb: x2y1 lc: 1

# lbrlc3
INST ftest17xorffchainl_smed208_lbrlc3_lut0 lb: x3y1 lc: 0
INST ftest17xorffchainl_smed208_lbrlc3_ff0 lb: x3y1 lc: 0
INST ftest17xorffchainl_smed208_lbrlc3_lut1 lb: x3y1 lc: 1
INST ftest17xorffchainl_smed208_lbrlc3_ff1 lb: x3y1 lc: 1

# lbrlc4
INST ftest17xorffchainl_smed208_lbrlc4_lut0 lb: x4y1 lc: 0
INST ftest17xorffchainl_smed208_lbrlc4_ff0 lb: x4y1 lc: 0
INST ftest17xorffchainl_smed208_lbrlc4_lut1 lb: x4y1 lc: 1
INST ftest17xorffchainl_smed208_lbrlc4_ff1 lb: x4y1 lc: 1

```

图5 测试逻辑单元 LB 模块进位链模式的 UCF 格式

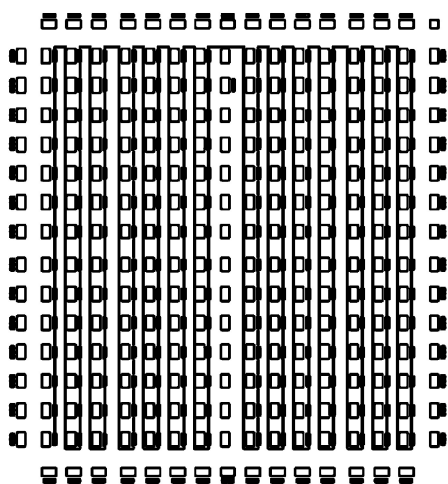


图6 VS1000 配置为进位链的布局布线图

同样 Verilog HDL 文件描述测试电路的功能, UCF 则描述模块在 FPGA 芯片上的位置和布线资源在 FPGA 芯片上的映射实现方式,并遵照开发出开关模块的布线规则和信号布线的规则,在布线的过程实现布线资源测试电路结构。

开关模块布线规则的原理是预先设定开关模块的布线模式,表2所示为其中的一种布线规则的伪代码,规定不同分布的开关模块 SB 的布线,布线器会按照该约束规则布线,最终 VS1000 配置结构的效果图如图8(b)所示。如表2中显示,SB 的布线规则是对9类 SB 布线模式的设置。在 UCF 中用布线器增加识别语法,以实现 SB 布线模式的识别。

信号布线规则原理是在布线进行前预定好信号的布线实现所需要的布线通道资源,具体讲,在 UCF 中预先确定信号布线所经过的结点,基于 VPR 理论,一个信号的布线路径用布线资源结点(Routing Resource Node, RR Node)来描述,按照信号的方向依次包括源结点(Source Node)、模块的输出结点、通道结点(Channel Node)、模块的输入结点,最后到漏结点(Sink Node),如图7所示,布线器

会按照 UCF 中描述的信号预布线规则来实现布线。这样基于开关模块的布线规则和信号布线的规则可以实现对布线资源的测试。

表2 布线资源测试中开关模块的 UCF 规则

开关盒类型	布线规则模式
Core_SB_route_rule	Pattern1
VR_SBB_route_rule	Pattern2
VR_SBT_route_rule	Pattern3
VR_SBL_route_rule	Pattern4
VR_SBR_route_rule	Pattern5
Corner_SBLB_route_rule	Pattern6
Corner_SBLT_route_rule	Pattern7
Corner_SBRB_route_rule	Pattern8
Corner_SBBT_route_rule	Pattern9

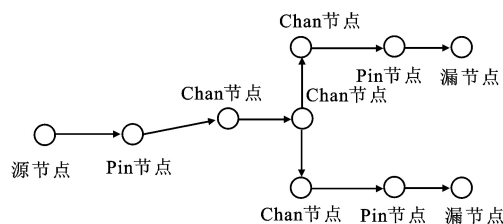


图7 布线资源测试的信号布线原理图

VVK 对于全部预定的方式,所有的布局 and 布线都是导航式的实现。对于部分预定的方式,在导航式布线结束后,剩余的信号布线按照 pathfinder 的优化算法实现。对于无预定的方式,则按照 pathfinder 的优化算法实现。详细的导航式布局布线的实现可以参考文献[10]。

3.2.2 VVK 布局布线的实验结果

按照上面原理,针对布线资源的测试开发出22个测试电路,涉及 Orthogonal、Diagonal-1、Diagonal-2 三种方式和布线通道不同类型的通道线(VS1000 主要包括三种: single-length、double-length、long-line)。图8是 Orthogonal、Diagonal-1、Diagonal-2 类型的开关模块的测试电路经过综合、映射和布局布线后布局布线之后,用布局布线工具的图形界面显示的结果图,该类测试电路主要验证和测试长度为1的布线资源在整个芯片的范围内连接的正确性和通断性,电路涉及到芯片中普通布线资源的全部长度为1的部分,特别是这些资源之间连接的所有开关。

3.3 测试工具 VVK 中的测试码流产生

VVK 码流产生过程主要设计对 VS1000 输入输出模块工作模式的正确性测试。VS1000 FPGA 的输入输出工作模式如表3所示,测试者或者用户可以在 UCF 中描述出具体想要的输入输出模式,经过导航式码流工具就可以实现。

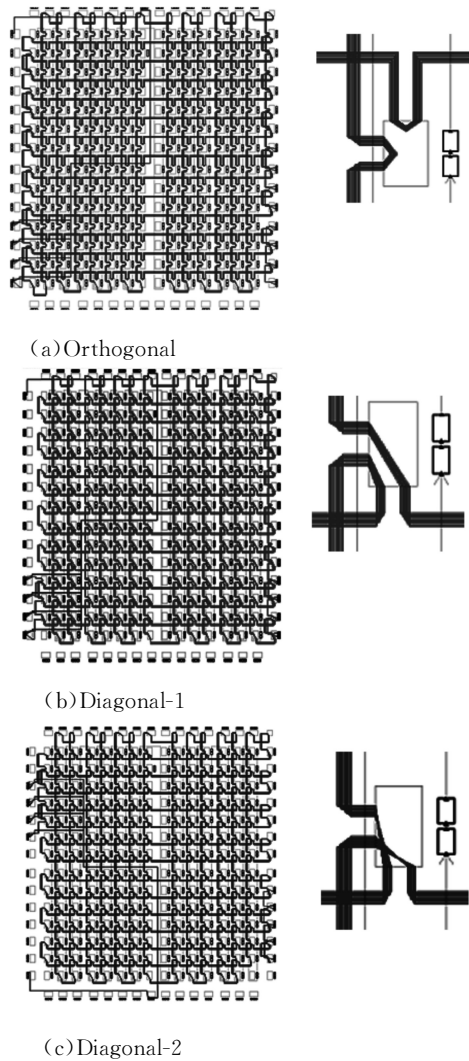


图 8 VS1000 配置为三种类型的开关模块布局布线结构简图

表 3 VS1000 的输入输出工作模式表

输入输出单元的工作模式	详细描述
TTL 模式	TTL 电平输入输出
CMOS 模式	CMOS 电平输入输出
Fast Slew Rate 模式	快速摆率输出
Slow Slew Rate 模式	慢速摆率输出
Open Drain 模式	开漏输出
Pull Up 模式	弱上拉
Pull Down 模式	强下拉

3.4 测试工具 VVK 中的测试向量产生

在 FPGA 芯片版图完成后,借助 Cadence 工具,可以提取出全芯片的电路网表(如, Verilog HDL 形式的电路网表),通过把上一节产生的码流下载到全芯片网表中后,就得到了一个面向 FPGA 某个模块测试的、具有某种特定功能的电路,最后借助 ModelSim 或者别的仿真工具可以验证所开发的 FPGA 芯片电路功能、连接的正确性,同时输出测试向量.在流片后,可以把仿真工具产生的测试向量可以下载到晶圆(wafer)中和封装(package)后的 FPGA 芯片中,测试流片后的芯片功能性和完整性.

4 测试工具 VVK 的测试结果

为实现 VS1000 验证和测试测试,开发 128 个验证和测试的芯片级标准电路,测试结果如表 4 所示.

表 4 基于 VVK 的 VS1000 FPGA 的验证和测试结果表

block type	Configuration mode	Functionality test coverage
LUT mode	Model1 Mode 2	9.5%
	Mode3 mode 4	
	RAMD 16x1 S S_1	
	RAMD 16x1 D D_1	
	RAMD 16x1Sx2 2_1	
LB rray	RAMD mode	80%
	RAMD 32x1S S_1	
Flip-Flop mode	FD FD_1 FD C FDC_1 FDP	85%
	(toal 24 types)	
CHB array	Diagonal-1 diagonal-2	82%
	orthogonal	
GB array	SB type& track type	85%
	Single double long	
IOB array	Global tracks	85%
	8 global tracks	
gcs	8 gcs	85%
	CMOSIN CMOS	
buffer mode	OUT pullup	82%
	pulldown	
ioc Flip-Flop mode	open-drain enable	82%
	idelay enable	
FF(24 types)	FF(24 types)	82%
Totaltest cases	128	85%

如表 4 中所示,FPGA 中关键模块是逻辑模块和布线资源模块,因此测试重点也在这两种结构.测试对逻辑模块比较充分,达到了 95%的测试覆盖率.对布线资源测试只覆盖了 80%,包括三种类型布线资源和三种开关盒模式,其他不规则的布线没有覆盖到.因为布线资源的多样性和连接的复杂情况,很难把所有情况都测试到,这也是今后需要进一步研究的方向.

5 结束语

文中提出了一套用于 VS1000 FPGA 芯片测试的设计和实现方法.该方法通过测试电路逻辑描述和测试电路约束描述,引导预设 VVK 的映射、布局布线、码流产生过程产生测试码流;码流作为输入下载到 FPGA 全芯片的网表中,形成一个可以测试验证的电路,再通过仿真工具验证行为级、晶体管级芯片的设计正确性,同时产生基于 FPGA 芯片的测试向量;该测试向量最终下载到 FPGA 芯片,通过回读对比输入与输出的 FPGA 测试向量,可以验证流片后的晶圆中裸片 FPGA 和封装后 FPGA 的正确性.该方法有效解决了 FPGA 芯片设计中遇到的验证和测试的难题,完成了流片前的芯片行为级、晶体

管级的仿真验证、晶圆测试,以及辐照测试.这种方法具有普适性,适用于其他架构的 FPGA 的验证和测试,可以进行二次开发.由于布线资源的多样性和不完全规则性,对布线资源的测试覆盖率达到 80%,下一步将深入研究.

参考文献:

- [1] Renovell M, Portal J M, Faure P, et al. TOF: a tool for test pattern generation optimization of an FPGA application oriented test[C]// Ninth Asian Test Symposium. Taiwan: Taipei, 2000, 323.
- [2] Prabha Jairam, Fremont, Himanshu J Verma, et al. On-chip critical path test circuit and method and method[S]. USA, Alexandria VA: US patent office, Patent No. US 7525331B1, 2009.
- [3] Tassanee Payakapan, Lee Ni Chung, Shahin Toutouchil[S]. USA, Alexandria VA: US patent office, Built-inself test (BIST) technology for testing field programmable gate arrays (FPGAs) using partial reconfiguration, Patent No. US 7302625B1, 2007.
- [4] Yan Li, Stanley L Chen, Liang Chen, et al. Automated test bitstream generation for an SOI-Based FPGA [C]// 10th IEEE ICSICT proceedings part 3. China: Shanghai, 2010, 1976.
- [5] 刘智斌,王伶俐,周学功,等. 基于动态局部重配置的 FPGA 抗辐射模拟[J]. 计算机工程, 2010, 36(4): 218-221.
- [6] Betz V, Rose K, Marquardt A. Architecture and CAD for deep-submicron FPGAs[M]. Berlin: Kluwer Academic Publishers, 1999.
- [7] Renovell M, Portal J M, Figueras J, et al. RAM-Based FPGA's: a test approach for the configurable Logic[C]// Proc. DATE. UK: Cambridge, 1998: 82-88.
- [8] Renovell M, Portal J M, Figueras J, et al. Testing the configurable interconnect/logic interface of SRAM-based FPGAs[C]// Proceedings of the conference on Design, automation and test in Europe, Europe, 1999, 122-es.
- [9] Lemieux G, Lewis D, Design and interconnection networks for programmable logic [M]. Boston, MA: Kluwer Academic Publishers, 2004.
- [10] Liang Chen, Stanley L Chen, Yan Li, et al. Navigated place and route used in an SOI-Based FPGA implementation [C]// 2010 International Conference on Computer-aided Manufacturing and Design. China: Hongkong, 2010, 1-2.

作者简介:



李 艳 女, (1981-), 硕士, 助理研究员. 研究方向为 FPGA 架构和 CAD 的设计.

(上接第 21 页)

- [5] Ahmed M, Yamany S, Mohamed N, et al. A modified fuzzy c-means algorithm for bias field estimation and segmentation of MRI data [J]. IEEE Transactions on Medical Imaging, 2002, 21(3): 193-199.
- [6] Xiang D, Tang T, Zhao L, et al. Superpixel generating algorithm based on pixel intensity and location similarity for SAR image classification [J]. IEEE Geoscience and Remote Sensing Letters, 2013, 10(6): 343-347.
- [7] Achanta R, Shaji A, Smith K, et al. SLIC superpixels compared to state-of-the-art superpixel methods [J]. IEEE Transactions on Pattern Analysis and Machine Intelligence, 2012, 34(11): 2274-2281.
- [8] Feng H, Hou B, Gong M. SAR image despeckling based on local homogeneous-region segmentation by using pixel-relativity measurement [J]. IEEE Transactions on Geoscience and Remote Sensing, 2011, 49(7): 2724-2737.
- [9] Tian X, Jiao L, Zhang X. A clustering algorithm with optimized multiscale spatial texture information: application to SAR image segmentation [J], International of Remote Sensing, 2013, 34(4): 1111-1126.
- [10] Li C, Huang R, Ding Z, et al. A level set method for image segmentation in the presence of intensity inhomogeneities with application to MRI [J]. IEEE Transactions on Image Processing, 2011, 20(7): 2007-2016.

作者简介:



王 昭 女, (1987-), 硕士研究生. 研究方向为图像处理.



娄 昊 男, (1984-), 博士研究生, 讲师. 研究方向为信号处理.

范九伦 男, (1964-), 博士生导师, 教授, CCF 高级会员. 研究方向为模式识别、信息安全.